

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(1) 特許庁 (JP)

公開特許公報 (A)

(1) 特許公報

特開平7-312405

(3) 公開日 平成7年(1995)11月28日

(5) (a), (b), (c), (d)

H01L 23/50

21/60

21/221

22/21

登録記号 特許登録番号

S

0 6313-0

A 8613-48

Z 8613-48

F1

技術分類

特許請求の範囲 3 OL (全5頁) 84頁に限る

(2) 出願番号

特開平6-102369

(3) 出願日

平成6年(1994)5月17日

(2) 出願人

株式会社日立製作所

東京都千代田区麹町四丁目6番地

(3) 出願人

株式会社日立マイコンシステム

東京都千代田区麹町四丁目6番地

(4) 見明者

金本 光一

東京都千代田区麹町四丁目6番地

株式会社日立製作所半導体事業部内

(5) 見明者

西田 佐文

東京都千代田区麹町四丁目6番地

株式会社日立マイコンシステム内

(6) 代理人

弁護士 西田 佐文

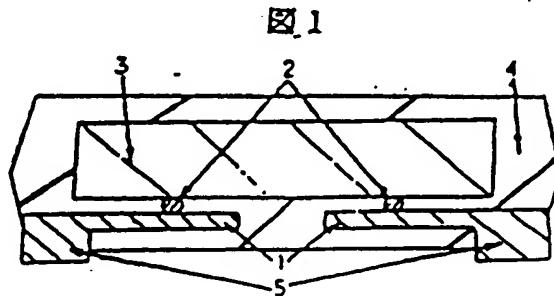
略図頁に限る

(5) (a) [発明の名前] 半導体装置

(5) (b) [要約]

(目的) 半導体装置の基板部における実装密度を向上すること。

(構成) 半導体チップとそれに電気的に接続された内部リードを絶縁で封止した半導体装置であって、前記半導体装置の封止部部の底部もしくは、上部から内部リードの一端を突出させる。



〔付録2の比照〕

〔請求項1〕 キズナチップとそれに密着して形成された内部リードを駆動で制止した半導体装置であつて、前記半導体装置の制止部周囲の底面もしくは、上面から内部リードの一端を突出させることを特徴とする半導体装置。

〔請求項2〕 前記キズナチップと内部リードとはパンプを介して電気的接続して見えることを特徴とする請求項1に記載の半導体装置。

〔請求項3〕 キズナチップとそれに密着して形成された内部リードを駆動で制止して底面を底面であつて、底面制止部の一端部に、それぞれのリードの底面の一端がレジンにより埋め込まれ、その埋め込まれたリード端部がキズナチップとの電気的接続部をなし、それぞれリードの底面がレジンから底面し、その露出した底面が内部リードを介していることを特徴とする半導体装置。

〔発明の詳細な説明〕

〔0001〕

〔底面上の構造分割〕 本発明は、半導体装置に適用して、半導体技術に応用するものである。

〔0002〕

〔技術の仕組〕 本発明の半導体装置には、一端に内部リードと半導体チップをワイヤで接続したものとパンプで構成するものがあり、それら内部リードはともに半導体装置の制止部周囲の底面から突出した構造を有つ。

〔0003〕

〔発明が解決しようとする課題〕 本発明では、上記要件を達成した結果、以下の効果を有いだした。

〔0004〕 本発明の半導体装置を構成したシステム組合のダウンサイジングを行い、半導体装置を構成する部品のサイズを縮小する事が可能である。このため、半導体装置のサイズを縮小する事で底面の底面距離を上げて高底面サイズを縮小して来た。

〔0005〕 この半導体装置の縮小は、主に半導体チップの縮小によりなされたものであり、内部リードはその縮小の対象とはなっていなかった。

〔0006〕 このため、底面上の半導体装置の内部リードが求められる所だけを縮小する事は可能でないのが現状である。

〔0007〕 したがって、本発明の半導体装置における内部リードは、一端に半導体装置の制止部周囲の底面から突出した後を構成していることから、その制止部周囲の側面から突出した内部リードの分だけ底面距離を縮小する所となり、高底面尺寸における底面距離が長いという現状がであった。

〔0008〕 本発明の目的は、半導体装置の底面尺寸における底面距離を向上することが可能かつ容易に達成することにある。

〔0009〕 本発明の構成ならびにその他の特徴とし、

内側部は、半導体装置の2端を駆動で制止して底面となるであろう。

〔0010〕

〔駆動で制止するための手段〕 本発明において駆動で制止する手段のうち、底面のなしの底面を底面に駆動する手段は、TR2のとおりである。

〔0011〕 キズナチップとそれに密着して形成された内部リードを駆動で制止した半導体装置であつて、前記半導体装置の制止部周囲の底面もしくは、上面から内部リードの一端を突出させることが特徴とする半導体装置。

〔0012〕

〔特開〕 上記した半導体によれば、キズナチップとそれに密着して形成された内部リードを駆動で制止した半導体装置であつて、前記キズナチップと内部リードの制止部周囲の底面もしくは、上面から内部リードの一端を突出させることにより、半導体装置の制止部周囲の底面を底面に駆動する手段が有り、底面の内部リードの突出によって底面にとられたいた底面距離を縮小するので、キズナチップの底面尺寸における底面距離を向上することが可能となる。

〔0013〕 以下、本発明の構成について、実施例とともに説明する。

〔0014〕 なお、実施例を構成するための工具において、同一機能を有するものは同一符号を用ひ、その通り直しの説明は省略する。

〔0015〕

〔実施例〕 図1は、本発明の一実施例である半導体装置の構造を説明するためのものである。

〔0016〕 図1に示した本実施例の半導体装置は、左方を正面とし、右2に五万倍の走査電子顕微鏡写真、図3に左側面からみた断面図、図4に正面からみた断面図をそれぞれ示す。

〔0017〕 図1～図4において、1は内部リード部、2はパンプ、3はチップ、4は底面制止部、5は内部リード部分をそれぞれ示す。

〔0018〕 本実施例の半導体装置は、図1に示すように、リードに底面が付けられており、内部リードとして構成する内部リード部分1と内部リードとして構成する内部リード部HSとからなる。

〔0019〕 このリードの底面は、リードの内部リード部HS1をハーフエッチしたり、リードを底面にさせたりをさせて構成することによって得られる。

〔0020〕 底面制止部4においては、内部リード部HS1上に付けられた、内側に半導体より成るパンプ2が付けられ、そのパンプ2を介して半導体チップ3と電気的に接続されている。なお、このときの内部リード部分1と半導体チップ3を底面に接続する手段として、半導体チップ3側にあらかじめ付けたパンプであってよい。また、ワイヤを用いてよい。

〔0021〕 そして、図2～図4に示した半導体装置4から駆動で制止する内部リード部HS1は、底面に駆動で制

である。

〔0022〕これにより、女又、内蔵部止錠の内蔵部から突出していたカギリードの部分だけ、又はスペースを切り取るなり、他の半球部の表面に取り付けてたりすることが可能となる。

〔0023〕次に、図5を用いて、本実用新型の半球部底面のリードフレームについて説明する。

〔0024〕図5において、3Aは大きめの半球部チップ、3Bは小さめの半球部チップ、2Aは大きめの半球部チップと内蔵部リード部分を形成するパンプ、2Bは大きめの半球部チップと内蔵部リード部分を形成するパンプをそれぞれ示す。

〔0025〕図5に示すように、本実用新型の半球部底面のリードフレームの形状は、フレームの中心附近から内蔵部リードが直角上に突出している。

〔0026〕これにより、半球部チップである大きめの半球部チップである大きめの半球部チップ3Aを保持する場合でし、小さめの半球部チップ3Bを保持する場合でも、各半球部チップ3A、3Bのパッド位置を内蔵部リード上に位置可変位置に変更し、その位置にパンプ2A、2Bを設けることで半球部チップ3A、3Bと内蔵部リード部分1とを接続できる。このパンプ直角による内蔵部リードと半球部チップとの接続的な構成は、ワイヤ接続では実現しない実用性半球である。

〔0027〕すなわち、本実用新型のリードフレーム一つで多個の半球部チップを適用できる。

〔0028〕次に、本実用新型の他の本実用新型を図6と図7に示す。

〔0029〕図6に示す半球部底面の形状は、実施の図1に示した半球部底面の内蔵部リード部分1とカギリード部分の位置をなくしたものであり、内蔵部リードとカギリードを実用化したリードを設けてある。すなわち、本実用新型によれば、リードの底面のほぼ2/3がレジンにより埋め込まれ、その埋め込まれたリード一面面(上面)が半球部チップとの電気的接続をなし、一方、リードの底面のほぼ1/3がレジンから突出、その露出した側面部は実用部底面への接続端子、つまりカギリードとなる。

〔0030〕これにより、半球部における半球部とカギリードの位置部分の底面を底面をどうとしに、開脚化パッケージが実現される。リードフレームに底面をつけなくともよくなる。

〔0031〕図7に示す半球部底面の形状は、前述の図1に示した半球部底面の半球部チップ上に内蔵部フィン6を設け、半球部チップから発せられる熱を逃がしてやるものである。

〔0032〕なお、本実用新型は万能型の半球部底面をそれぞれ取り上げたが、正万能型の半球部底面についても

可能である。

〔0033〕また、本実用新型のCOL (CHIP ON LEAD)構造の半球部底面は、底面からカギリードを突出させた例を取り上げたが、LOC (LEAD ON CHIP)構造の半球部底面においては、上面からカギリードを突出させる。

〔0034〕したがって、半球部チップとそれに接続的に接続された内蔵部リードを底面で封止した半球部底面であって、半球部底面の内蔵部リードの底面も底面ししくは、

〔1〕上面から内蔵部リードの一部を突出させることにより、半球部底面の内蔵部リードの占める底面内に内蔵部リードがあり、底面の内蔵部リードの突出によって本分とられていた実用部は縮小できるので、半球部底面の基部底面における実用部を向上することが可能となる。

〔0035〕以上、本実用新型によってなされた発明を、同記実用新型によづて実用的に利用したが、本実用新型は、同記実用新型に限定されるものではなく、その要旨を達成しない範囲においては、本実用新型であることは明ニである。

〔0036〕

〔発明の効果〕 本発明において表示される発明のうち代表的なものによって実現される効果を簡単に説明すれば、下記のとおりである。

〔0037〕半球部チップとそれに接続的に接続された内蔵部リードを底面で封止した半球部底面であって、半球部チップと底面の内蔵部リードの底面ししくは、上面から内蔵部リードの一部を突出させることにより、半球部底面の内蔵部リードの占める底面内に内蔵部リードがあり、底面の内蔵部リードの突出によって本分とられていた実用部は縮小できるので、半球部底面の基部底面における実用部を向上することが可能となる。

〔図面の筋理と説明〕

〔図1〕 本実用新型の一実用例である半球部底面の構造を説明するための図である。

〔図2〕 本実用新型の半球部底面の断面図である。

〔図3〕 本実用新型の半球部底面の断面図である。

〔図4〕 本実用新型の半球部底面の底面からみた半球部である。

〔図5〕 本実用新型の半球部底面におけるリードフレームの構造を説明するための図である。

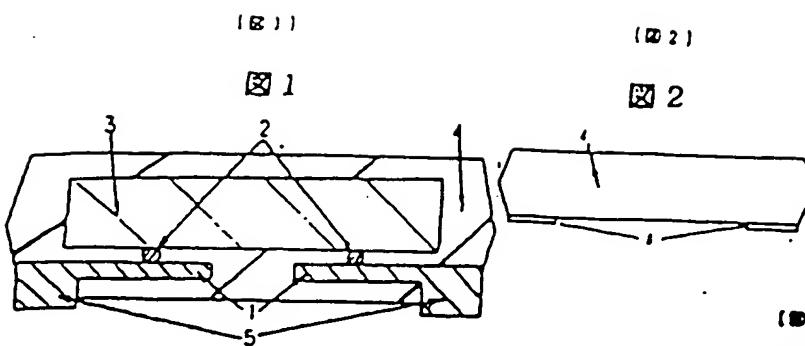
〔図6〕 本実用新型の他の実用例である半球部底面の構造を説明するための図である。

〔図7〕 本実用新型の他の実用例である半球部底面の構造を説明するための図である。

〔図8〕

1…内蔵部リード部分、2…パンプ、3…チップ、4…内蔵部底面、5…カギリード部分、6…内蔵部フィン。

(4)



(図2)

図2

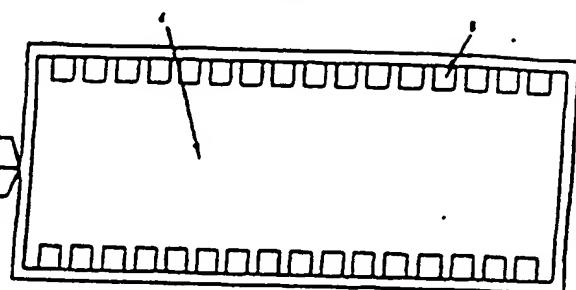
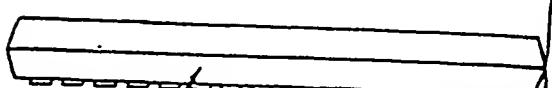
図2

(図4)

図4

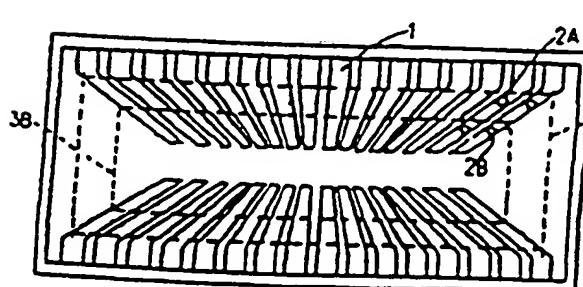
(図3)

図3



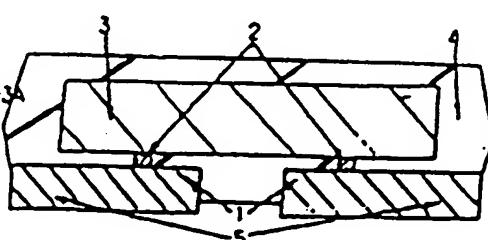
(図5)

図5



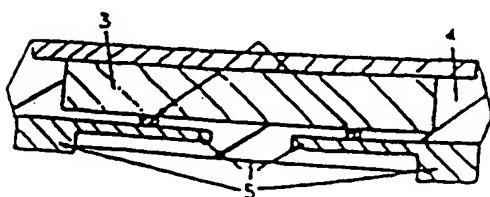
(図6)

図6



(図7)

図7



フロントページの記入

(8) 101.01.

登録記号 内閣監視官号

F1

2011.21/02

技術監視機関

(1) 久野 実 稔

東京都小平市上木本町5丁目20番1号

株式会社日立製作所本研修室高部内

[TITLE OF THE INVENTION]

Semiconductor Device

5

[CLAIMS]

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.
- 15 2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.
- 20 3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the remaining portion thereof in such a fashion that it has an
- 25

5 encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an outer lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

10 The present invention relates to a technique effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

15 In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads by means of wires or bumps. Such a semiconductor device has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20 After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end, 25 attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a 10 semiconductor device on a circuit board. Since conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin 15 encapsulate. As a result, the conventional semiconductor devices involve a problem in that the mounting efficiency thereof on a circuit board is degraded.

20 An object of the invention is to provide a technique capable of improving the mounting efficiency of a semiconductor device on a circuit board.

25 Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction with the drawings.

25

(MEANS FOR SOLVING THE SUBJECT MATTERS)

A representative of inventions disclosed in this application will now be summarized in brief.

30 In a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.

5 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

10 15 Now, the present invention will be described in detail in conjunction with embodiments thereof.

15 20 In the drawings associated with the embodiments, elements having the same function are denoted by the same reference numeral, and repeated description thereof will be omitted.

[EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device having a structure according to an embodiment of the 25 present invention. The semiconductor device according to the embodiment of the present invention shown in Fig. 1 has a rectangular structure. Fig. 2 is a side view of the semiconductor device when viewed at the shorter side of the rectangular structure. Fig. 3 is a side view of the 30 semiconductor device when viewed at the longer side of the rectangular structure. Fig. 4 is a plan view of the semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. 10 Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be 15 made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for 20 electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are 25 mounted on a circuit board or the like while being in surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to 5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger 10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the 15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes, that is, the larger semiconductor chip 3A and smaller 20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or 25 2B at the shifted position. The electrical connection

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured 5 in accordance with the present embodiment, can be applied to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment 10 of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both 15 the inner and outer leads. In accordance with this embodiment, about 2/3 of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About 1/3 of the thickness of each lead is exposed 20 from the resin. The other main surface of each lead, namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.

In accordance with such a structure, it is possible 25 to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the
5 lead frame.

In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

10 Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the
15 encapsulate.

20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface
5

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

5 Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various 10 modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

[EFFECTS OF THE INVENTION]

15 Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.